

Figura 1.38
Porta di trasmissione.

i valori. La **Figura 1.38** mostra un circuito di questo tipo chiamato **porta di trasmissione** o “porta passante”. I due lati dell’interruttore sono chiamati *A* e *B* perché l’interruttore è bidirezionale e non ha un lato di ingresso e uno di uscita preferiti. I segnali di controllo sono chiamati **abilitazioni** (*enable*) *EN* ed \overline{EN} . Quando $EN = 0$ ed $\overline{EN} = 1$, entrambi i transistori sono spenti. Quindi, la porta di trasmissione è spenta o **disabilitata**, il che significa che *A* e *B* non sono collegati. Quando $EN = 1$ ed $\overline{EN} = 0$, la porta di trasmissione è accesa o **abilitata**, e qualsiasi valore logico è libero di passare tra *A* e *B*.

1.7.8 Logica pseudo-nMOS

Una porta NOR CMOS a *N* ingressi utilizza *N* transistori nMOS in parallelo e *N* transistori pMOS in serie. I transistori in serie sono più lenti di quelli in parallelo, proprio come i resistori in serie hanno resistenza maggiore di quelli in parallelo. Inoltre, i transistori pMOS sono più lenti di quelli nMOS, dal momento che i buchi non possono muoversi nel reticolo cristallino del silicio alla stessa velocità degli elettroni. Questo implica che i transistori nMOS in parallelo siano estremamente veloci, mentre i transistori pMOS in serie siano lenti, specialmente quando nella serie ve ne sono molti.

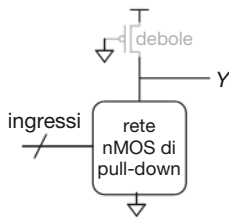


Figura 1.39
Generica porta pseudo-nMOS.

La logica pseudo-nMOS sostituisce la serie lenta di transistori pMOS con un singolo transistoro pMOS “debole” che resta sempre acceso, come mostrato nella **Figura 1.39**. Questo transistoro pMOS viene spesso chiamato **pull-up debole**. Le dimensioni fisiche di questo transistoro sono definite in modo tale che sia in grado di spingere l’uscita *Y* debolmente verso ALTO, e questo accade solo quando nessuno dei transistori nMOS è acceso. Ma se almeno uno dei transistori nMOS è acceso, questo è in grado di sopraffare il pull-up debole e l’uscita *Y* viene portata abbastanza vicina a GND da produrre uno 0 logico.

Il vantaggio della logica pseudo-nMOS è che può essere utilizzata per costruire porte NOR veloci con molti ingressi. Per esempio, la **Figura 1.40** mostra una porta pseudo-nMOS NOR a quattro ingressi. Le porte pseudo-nMOS sono utili per alcune memorie e alcune matrici logiche (*logic array*), di cui si parlerà meglio nel Capitolo 5. Lo svantaggio invece è che esiste un percorso elettrico tra il V_{DD} e GND quando l’uscita è BASSA, perché sia il transistoro debole pMOS sia uno o più degli nMOS sono accesi. Il percorso elettrico consuma energia continuamente, quindi la logica pseudo-nMOS deve essere utilizzata con parsimonia.

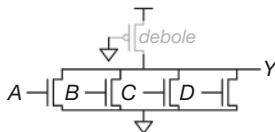


Figura 1.40
Porta NOR a quattro ingressi pseudo-nMOS.

Il nome delle porte pseudo-nMOS è un’eredità degli anni ’70, quando i processi manifatturieri utilizzavano solo transistori nMOS. All’epoca veniva utilizzato un transistoro nMOS debole per portare l’uscita al valore ALTO perché i transistori pMOS non erano disponibili.

1.8 ■ CONSUMO DI POTENZA*

Il **consumo di potenza** è la quantità di energia utilizzata per unità di tempo ed è un aspetto di grande importanza per i sistemi digitali. La vita di una batteria nei sistemi portatili come i cellulari e i personal computer è limitata dal consumo di potenza. Ma il consumo di potenza è importante anche per i sistemi collegati alla presa di corrente, perché l’elettricità costa e perché i sistemi si surriscaldano se viene utilizzata troppa energia.

I sistemi digitali consumano sia potenza **dinamica** sia **statica**. La potenza dinamica è quella utilizzata per caricare le capacità dei condensatori quando i segnali cambiano tra 0 e 1, mentre la potenza statica è quella consumata anche quando i segnali non cambiano e il sistema è inattivo.

Le porte logiche e i fili che le collegano hanno una capacità. L’energia prelevata dall’alimentatore e utilizzata per caricare la capacità *C* fino alla tensione